

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

Requested Patent: JP3255656A
Title: STRUCTURE FOR MOUNTING SEMICONDUCTOR DEVICE ;
Abstracted Patent: JP3255656 ;
Publication Date: 1991-11-14 ;
Inventor(s): MATSUI NORIYUKI; others: 01 ;
Applicant(s): FUJITSU LTD ;
Application Number: JP19900054225 19900305 ;
Priority Number(s): ;
IPC Classification: H01L25/00 ; H01L25/18 ; H05K1/18 ;
Equivalents: JP2679338B2

ABSTRACT:

PURPOSE: To enable a semiconductor device to be easily connected to pads provided on a connection board by a method wherein wafer scales are successively provided between the connection boards with their surfaces where semiconductor devices are formed up, and the semiconductor devices are connected to the pads with bonding wires different in length.

CONSTITUTION: Pads 12-2 are provided at a regular pitch in a vertical direction onto the side of an insulating board 12-1, wiring patterns electrically connected to the pads 12-2 are provided up to both the side edges in a vertical direction, a pair of connection boards 12 is provided upright onto a mother board in parallel with each other making their upper sides inclined in opposite directions respectively, and wafer scales 13, 23, and 33 are formed in such a manner that insulating boards 13-1, 23-1, and 33-1 are provided between the boards 12 at a certain pitch in a vertical direction and a large number of semiconductor elements 13-2 are densely formed on the primary faces of the insulating boards 13-1, 23-1, and 33-1. The pair of the connection boards 12 is provided upright onto the primary face of the mother board 1 making the pads 12-2 face each other and their upper sides expand upwards, the wafer scales 13, 23, and 33 are successively provided between the connection boards 12 with their surfaces where the semiconductor devices 13-2 are formed up, and the semiconductor devices 13-2 and the pads 12-2 are connected together with bonding wires 14 different in length respectively.

⑫ 公開特許公報(A) 平3-255656

⑤ Int. Cl.³H 01 L 25/00
25/18
H 05 K 1/18

識別記号

A

庁内整理番号

7638-5F

⑬ 公開 平成3年(1991)11月14日

S

6736-4E
7638-5F

H 01 L 25/10

審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 半導体素子の実装構造

⑮ 特 願 平2-54225

⑯ 出 願 平2(1990)3月5日

⑰ 発 明 者 松 井 範 幸 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑱ 発 明 者 梶 本 貴 子 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

半導体素子の実装構造

2. 特許請求の範囲

(1) 主面側に各種半導体素子を立体的に高密度実装するマザーボード(1)と、

絶縁板(12-1)の一面に複数個のパッド(12-2)を上下方向へ一定ピッチとなるよう配設し、当該パッド(12-2)と導通する配線パターンを上下方向の両側縁まで形成して、上下端面を互いに反対方向へ傾けて上記マザーボード(1)の主面に平行に立設する一対の接続基板(12)と、

前記立設した一対の接続基板(12)の間で上下方向へ一定ピッチ架設されるように成形した絶縁基板(13-1, 23-1, 33-1)の主面に、多数個の上記半導体素子(13-2)を高密度に形成したウエハースケール(13, 23, 33)とからなり、

上記パッド(12-2)を互いに内側にして上端側が互いに拡幅するよう一対の接続基板(12)を上記

マザーボード(1)の主面に立設し、当該接続基板(12)の間に上記半導体素子(13-2)の形成面を上側にして該ウエハースケール(13, 23, 33)を順次架設するとともに、該半導体素子(13-2)と該パッド(12-2)を長さの異なる各ボンディングワイヤ(14)で接続するように構成したことを特徴とする半導体素子の実装構造。

(2) 一対の上記接続基板(12)と複数枚の上記ウエハースケール(13, 23, 33)により形成された梯形断面状のユニットを、前記梯形断面が正、逆交互となるように上記マザーボード(1)の主面に平行に配設して、当該マザーボード(1)に多数個の上記半導体素子(13-2)を立体的に実装したことを特徴とする請求範囲1項記載の半導体素子の実装構造。

3. 発明の詳細な説明

(概 要)

各種電子機器の構成に広く使用されるプリント板に半導体素子を立体的に実装する構造に関し、

ウエハースケールに形成した半導体素子と接続基板に設けたパッドを容易に接続できるとともに、ウエハースケールを自動的に一定ピッチで架設することができる新しい半導体素子の実装構造の提供を目的とし、

主面側に各種半導体素子を立体的に高密度実装するマザーボードと、絶縁板の一面に複数個のパッドを上下方向へ一定ピッチとなるよう配設し、当該パッドと導通する配線パターンを上下方向の両側縁まで形成して、上下端面を互いに反対方向へ傾けて上記マザーボードの主面に平行に立設する一対の接続基板と、前記立設した一対の該接続基板の間に上下方向へ一定ピッチ架設されるように成形した絶縁基体の主面に、多数個の上記半導体素子を高密度に形成したウエハースケールとからなり、上記パッドを互いに内側にして上端側が互いに拡幅するよう一対の該接続基板を上記マザーボードの主面に立設し、当該接続基板の間に上記半導体素子の形成面を上側にして該ウエハースケールを順次架設するとともに、該半導体素子と

該パッドを長さの異なる各ボンディングワイヤで接続する。

(産業上の利用分野)

本発明は、各種電子機器の構成に広く使用されるプリント板に半導体素子を立体的に実装する構造に関する。

最近、各種電子機器の小型化と多機能化の要求に伴って、その機器に装着される集積回路基板も小型化と更に多数個の各種半導体素子の高密度実装することが必要となっている。そのためマザーボードの主面に複数対の接続基板を立設してその対となる接続基板の間に、多数個の各種半導体チップを絶縁基体の表面に形成した複数枚のウエハースケールを架設することにより、多数枚のウエハースケールをマザーボードの主面に立体的に実装しているため、これらのウエハースケールの立体的実装が容易となる新しい半導体素子の実装構造が要求されている。

(従来の技術)

従来広く使用されている半導体素子の実装構造は、第3図に示すように絶縁板2-1の主面側に複数個のパッド2-2を一定寸法、例えば上下方向に2mmピッチで配設して、当該パッド2-2と導通する図示していない配線パターンを幅方向の一方の端面まで形成した一対の接続基板2を、マザーボード1の主面上に前記パッド2-2が内側で対向するよう一定の間隔で平行に載置している。

この一対の接続基板2の内側に、第4図に示す如くシリコン等より0.8mmの矩形板成形された絶縁基体3-1の主面に、メモリ等の各種半導体素子3-2を繰り返しパターン形成法により高密度に形成した複数枚のウエハースケール3を、前記半導体素子3-2の形成面が上側となるように一定、例えば2mmのピッチで架設される。

そして、第3図に示すように接続基板2の各パッド2-2とウエハースケール3のそれぞれ半導体素子3-2をボンディングワイヤ4で接続し、接続基板2の図示していない配線パターンとマザーボ

ード1の主面に形成された図示していない配線パターンと接続することにより、複数枚のウエハースケール3がマザーボード1の主面側に立体的に実装できるように構成されている。

(発明が解決しようとする課題)

以上説明した従来の半導体素子の実装構造で問題となるのは、第3図に示すようにパッド2-2を互いに内側にして平行に載置された一対の接続基板2間に、半導体素子3-2の形成面が上となるように複数枚のウエハースケール3を挿入すると、それぞれウエハースケール3の半導体素子3-2形成面と接続基板2のパッド2-2形成面が直角となるので、その半導体素子3-2とパッド2-2を接続するボンディングワイヤ4の接合が困難であるとともに、複数枚のウエハースケール3を上下方向へ一定ピッチで架設することに多くの時間を要するという問題が生じている。

本発明は上記のような問題点に鑑み、ウエハースケールに形成した半導体素子と接続基板に設け

たパッドを容易に接続できるとともに、ウエハースケールを自動的に一定ピッチで架設することができる新しい半導体素子の実装構造の提供を目的とする。

(課題を解決するための手段)

本発明は、第1図に示すように主面側に各種半導体素子を立体的に高密度実装するマザーボード1と、絶縁板12-1の一面に複数個のパッド12-2を上下方向へ一定ピッチとなるよう配設し、当該パッド12-2と導通する配線パターンを上下方向の両側縁まで形成して、上下端面を互いに反対方向へ傾けて上記マザーボード1の主面に平行に立設する一対の接続基板12と、前記立設した一対の接続基板12の間で上下方向へ一定ピッチ架設されるように成形した絶縁基板13-1、23-1、33-1の主面に、多数個の上記半導体素子13-2を高密度に形成したウエハースケール13、23、33とからなり、

上記パッド12-2を互いに内側にして上端面が互いに拡幅するよう一対の接続基板12を上記マザ

ーボード1の主面に立設し、当該接続基板12の間に上記半導体素子13-2の形成面を上側にして該ウエハースケール13、23、33を順次架設するとともに、該半導体素子13-2と該パッド12-2を長さの異なる各ボンディングワイヤ14で接続する。

また、第2図に示すように一対の接続基板12と複数枚のウエハースケール13、23、33により形成された梯形断面状のユニットを、前記梯形断面が正、逆交互となるようにマザーボード1の主面に平行に配設して、当該マザーボード1に多数個の上記半導体素子13-2を立体的に実装する。

(作用)

本発明では、第1図に示すようにパッド12-2を互いに内側にして上部が拡幅するよう一対の接続基板12を平行に支持し、この対向した接続基板12の内部に狭幅のウエハースケール13から順次拡幅のウエハースケール23、33を挿入することにより、そのウエハースケール13、23、33は自動的に上下へ一定ピッチで架設されるとともに、それぞ

れのウエハースケール13、23、33の半導体素子13-2配設面と接続基板12のパッド12-2配設面は鈍角となるから、ボンディングワイヤ14によるウエハースケール13、23、33の各半導体素子13-2と前記接続基板12の各パッド12-2との接続を容易にすることが可能となる。

(実施例)

以下第1図および第2図について本発明の実施例を説明する。

第1図は本発明の一実施例による半導体素子の実装構造を示す図、第2図は本実施例のマザーボード実装の断面図を示し、図中において、第3図と同一部材には同一記号が付してあるが、その他の12はマザーボードに立設して複数枚をウエハースケールを立体的に保持する接続基板、13、23、33は各種半導体素子を高密度に形成したウエハースケール、14はウエハースケールの半導体素子と接続基板の配線パターンを接続するボンディングワイヤである。

接続基板12は、第1図に示すようにマザーボード1の主面上で上端面が互いに拡幅する、例えば60°の仰角で平行に支持した際に、上下方向へ一定寸法、例えば2mmピッチとなるように複数個のパッド12-2を絶縁板12-1の内面側に配設して、当該パッド12-2と導通する図示していない配線パターンを形成したプリント板である。

ウエハースケール13、23、33は、上端面が互いに拡幅する仰角で平行に支持した上記接続基板12間に架設した際に、上下方向へ互いに一定寸法、例えば2mmピッチとなる幅にシリコン等よりなる導板を成形した絶縁基板13-1、23-1、33-1の主面に、従来のウエハースケールと同様な繰返しパターン形成法によりメモリ等の各種半導体素子13-2を高密度に形成したものである。

上記部材を使用した半導体素子の実装構造は、第1図に示すように2枚の接続基板12の図示していないパッドを互いに内側にして上部が拡幅するよう60°の仰角で平行に支持し、この対向した接続基板12の内部に狭幅のウエハースケール13

から順次拡幅のウエハースケール23、33を架設する。このウエハースケール13、23、33の各半導体素子13-2と前記接続基板12の各パッドとを長さの異なる各ボンディングワイヤ14で接続することにより、2枚の接続基板12の最上下に架設したウエハースケール13、33で断面が逆梯形状となったユニットを形成する。

この逆梯形断面に形成されたユニットをマザーボード1の主面に平行に載置して、その図示していない配線パターンと前記ウエハースケール13、23、33の各半導体素子13-2と接続した接続基板12の配線パターンを接続することにより、このマザーボード1の主面に多数枚のウエハースケール13、23、33を装着できるように構成する。

また、第2図に示すように一对の接続基板12の間にウエハースケール13、23、33を架設して梯形断面となったユニットを、上記マザーボード1の主面に梯形断面が正、逆交互（梯形断面の上下が互いに反対）となるように複数個のユニットを平行に載置して、そのマザーボード1の配線パター

ンと各接続基板12の配線パターンを接続しても良い。

その結果、対向する接続基板12の間に一定のピッチでウエハースケール13、23、33が自動的に架設されるとともに、それぞれのウエハースケール13、23、33と接続基板12で形成される角度は鈍角となるので、ボンディングワイヤ14によるウエハースケール13、23、33の各半導体素子13-2と接続基板12の各パッド12-2との接続を容易にすることができる。

以上、図示実施例に基づき説明したが、本発明は上記実施例の態様だけに限定されるものでなく、例えば一对の接続基板によりパッケージタイプの半導体装置を実装した複数枚のプリント板を立体的に架設してマザーボードに実装しても良く、ウエハースケールに限定しなくても良い。

（発明の効果）

以上の説明から明らかなように本発明によれば極めて簡単な構成で、複数枚のウエハースケール

を自動的に対向する接続基板の間に一定ピッチで架設されるとともに、ボンディングワイヤによるウエハースケールの各半導体素子と接続基板の各パッドとの接続が容易になる等の利点があり、著しい経済的及び、信頼性向上の効果が期待できる半導体素子の実装構造を提供することができる。

13-1、23-1、33-1は絶縁基板、

13-2は半導体素子、

14はボンディングワイヤ、

を示す。

代理人 弁理士 井 桁 貞一



4. 図面の簡単な説明

第1図は本発明の一実施例による半導体素子の実装構造を示す斜視図、

第2図は本実施例のマザーボード実装を示す断面図、

第3図は従来の半導体素子の実装構造を示す模式的正面図、

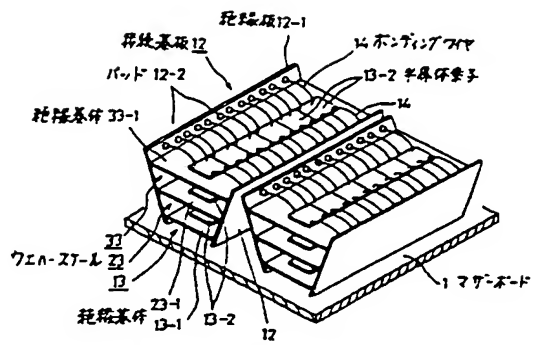
第4図はウエハースケールを示す斜視図である。図において、

1はマザーボード、

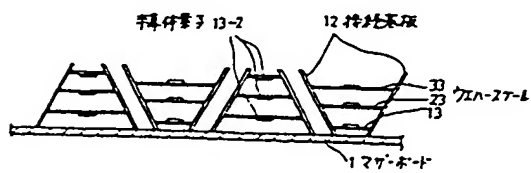
12は接続基板、

12-1は絶縁板、 12-2はパッド、

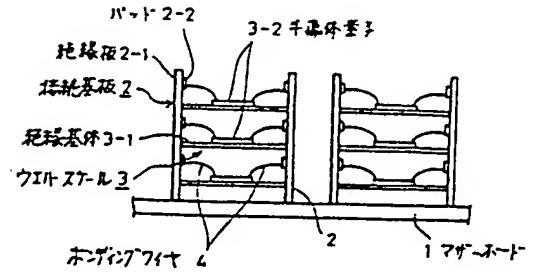
13、23、33はウエハースケール、



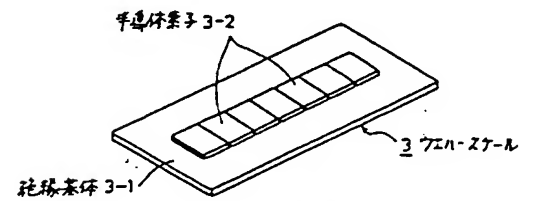
本実施例による半導体素子の実装構造を示す斜視図
第 1 図



本実施例のフロッグボード実装を示す断面図
第 2 図



従来の半導体素子の実装構造を示す正面図
第 3 図



フロッグボードを示す斜視図
第 4 図